

공개특허 1997-0053559

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶

(11) 공개번호 특1997-0053559

H01L 21/768

(43) 공개일자 1997년 07월 31일

(21) 출원번호 특1995-0065783

(22) 출원일자 1995년 12월 29일

(71) 출원인 LG 반도체 주식회사 문정환

(72) 발명자 충청북도 청주시 흥덕구 향정동 1번지 (우:360-480)

(74) 대리인 전영권

(74) 대리인 서울특별시 송파구 가락동 199 가락프라자아파트 3-803

(74) 대리인 양순석

심사청구 : 있음

(54) 반도체 집적회로 배선구조 및 그의 형성방법

요약

본 발명은 반도체 집적회로 배선구조 및 그의 형성방법에 관한 것으로서, 하부의 제1전도층과, 제1전도층과의 사이에 제1전도층과의 반응을 조절하기 위한 전도성물질인 배리어층을 개재하여 형성되고, 저저항 전도성물질로 된 상부의 제2전도층을 포함하여 이루어진 샌드위치 형태의 배선구조이며, 본 발명의 반도체 집적회로 배선 형성방법은, 1)반도체 기판에 절연층을 형성하는 단계와, 2)절연층을 식각하여 접촉구멍(contact hole)을 형성하는 공정과, 3)절연층 전면을 덮도록 제1전도층을 형성하여 접촉구멍 바닥에서 반도체 기판과 접촉되도록 형성하는 단계와, 4)제1전도층 전면을 덮도록 전도성물질인 배리어층과, 제2전도층을 순차로 형성하되, 배리어층은 제1전도층과 제2전도층 사이에서 제1전도층과 제2전도층의 반응을 조절하기 위한 배리어층이고, 제2전도층의 상면이 비교적 평탄하도록 형성하는 단계를 포함하여 이루어진다.

도면

도1

발명자

[발명의 명칭]

반도체 집적회로 배선구조 및 그의 형성방법

[도면의 간단한 설명]

제1도는 본 발명에 따른 일 실시예에 반도체 집적회로 배선구조를 설명하기 위해 도시한 반도체 소자의 일부 단면도이다.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1. 반도체 집적회로 배선구조에 있어서, 하부의 제1전도층과, 제1전도층과의 사이에 제1전도층과의 반응을 조절하기 위한 전도성물질인 배리어층을 개재하여 형성되고, 저저항 전도성물질로 된 상부의 제2전도층을 포함하여 이루어진 샌드위치 형태의 반도체 집적회로 배선구조

청구항 2. 반도체 집적회로 배선구조에 있어서, 반도체 기판과, 상기 반도체 기판 위에 형성되고, 접촉구멍(contact hole)이 형성된 절연층과, 제1전도층과 상기 제1전도층과의 사이에 제1전도층과의 반응을 조절하기 위한 배리어층을 개재하여 형성되는 제2전도층을 포함하여 이루어진 샌드위치 형태의 배선층이 상기 절연층상에 형성되고 상기 접촉구멍을 통하여 상기 반도체 기판과 접촉된 것이 특징인 반도체 집적회로 배선구조

청구항 3. 제2항에 있어서, 상기 배선층과 반도체 기판의 접촉은, 상기 제1전도층, 상기 배리어층 및 제2전도층이 상기 접촉구멍을 채우며 접촉구멍 내에서 샌드위치 형태를 이루며 접촉되는 것이 특징인 반도체 집적회로 배선

청구항 4. 제2항에 있어서, 상기 배선층과 반도체 기판의 접촉은, 상기 제1전도층이 상기 접촉구멍을 실질적으로 매립하여 접촉된 것이 특징인 반도체 집적회로 배선

청구항 5. 제2항에 있어서, 상기 배선층과 반도체 기판의 접촉은, 상기 제1전도층과 상기 배리어층이 상기 접촉구멍을 매립하여 접촉된 것이 특징인 반도체 집적회로 배선

청구항 6. 제5항에 있어서, 상기 접촉구멍에 매립된 배리어층 부위는 내부가 빈 형태를 포함하되, 적

어도 상기 접속구멍의 상부쪽에서 상기 접속구멍을 폐쇄하는 것이 특징인 반도체 집적회로 배선.

청구항 7. 제2항에 있어서, 상기 제1전도층은 플라즈마 화학기상증착법(CVD)로 형성된 층인 것이 특징인 반도체 집적회로 배선.

청구항 8. 제2항에 있어서, 상기 제2전도층은 저저항물질로써 알루미늄, 구리 또는 은으로 형성되거나 이들의 화합물로 형성된 것이 특징인 반도체 집적회로 배선.

청구항 9. 반도체 집적회로 배선 형성방법으로써, 1)반도체 기판에 절연층을 형성하는 단계와, 2)상기 절연층을 식각하여 접속구멍(contact hole)을 형성하는 공정과, 3)상기 접속구멍 부위를 포함한 절연층 전면을 덮도록 제1전도층을 형성하여, 상기 접속구멍 바닥에서 상기 반도체 기판과 접속되도록 형성하는 단계와, 4)상기 제1전도층 전면을 덮도록 전도성물질인 배리어층과, 제2전도층을 순차로 형성하고, 상기 배리어층은 제1전도층과 제2전도층 사이에서 제1전도층과 제2전도층의 반응조절하기 위한 층이고, 상기 접속구멍 부위의 제2전도층 상면이 비교적 평탄하도록 형성하는 단계를 포함하여 이루어진 반도체 집적회로 배선 형성방법.

청구항 10. 제9항에 있어서, 상기 제1전도층은 플라즈마 화학기상증착법(CVD)로 형성된 층인 것이 특징인 반도체 집적회로 배선.

청구항 11. 제10항에 있어서, 상기 제1전도층은 유기금속화합물을 소오스(source)가스로한 알루미늄을 플라즈마 화학기상증착법을 이용하여 형성하는 것이 특징인 반도체 집적회로 배선 형성방법.

청구항 12. 제11항에 있어서, 상기 알루미늄은 MEAA를 소오스 가스로 이용하여 300내지 800Torr의 압력과 100℃내지 300℃의 온도에서 5내지 50W의 전력으로 플라즈마를 유기시켜서 증착하는 것을 특징으로 하는 반도체 집적회로 배선 형성방법.

청구항 13. 제9항에 있어서, 상기 제2전도층을 형성은, 유기금속화합물로 된 소오스 가스를 이용하여 플라즈마를 유기시켜 형성하는 것이 특징인 반도체 집적회로 배선 형성방법.

청구항 14. 제9항에 있어서, 상기 제2전도층은 저저항물질로써, 알루미늄, 구리 또는 은으로 형성되거나 이들의 화합물로 형성된 것이 특징인 반도체 집적회로 배선 형성방법.

청구항 15. 제14항에 있어서, 알루미늄이나, 구리, 또는 은을 주성분으로 하는 도전성 물질을 형성하는 방법으로써, 유기금속화합물로 된 소오스를 이용하여 플라즈마 CVD법을 적용하는 방법.

청구항 16. 제15항에 있어서, 상기 알루미늄은 MEAA를 소오스 가스로 이용하여 300내지 800Torr의 압력과 100℃내지 300℃의 온도에서 5내지 50W의 전력으로 플라즈마를 유기시켜서 증착하는 것을 특징으로 하는 반도체 집적회로 배선 형성방법.

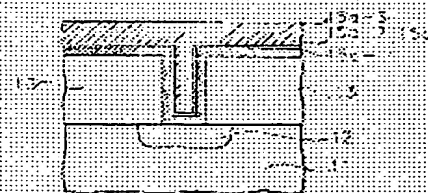
청구항 17. 제9항에 있어서, 상기 제1전도층은 상기 접속구멍을 실질적으로 매립하는 것을 특징으로 하는 반도체 집적회로 배선 형성방법.

청구항 18. 제9항에 있어서, 상기 배리어 층은 상기 접속구멍의 상부쪽에서 상기 접속구멍을 폐쇄하는 것을 특징으로 하는 반도체 집적회로 배선 형성방법.

× 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1



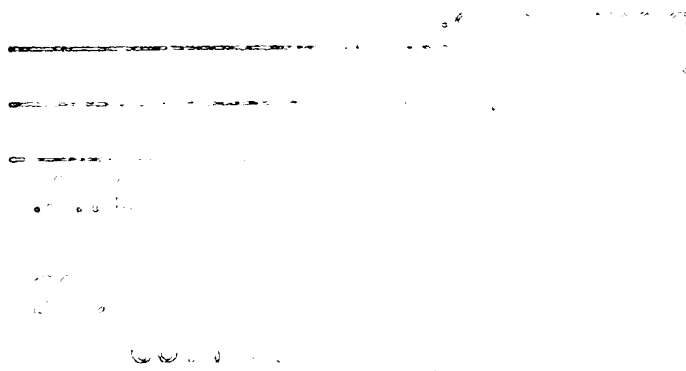
Abstract of Korean Patent Publication No. 1997-53559

PURPOSE:

A wiring structure is provided to improve a reliability and a resistance by adopting a sandwich wiring structure having a barrier material at an intermediate portion.

CONSTITUTION:

In a wiring structure, an impurity diffusion region(12) such as a source and a drain is formed on a semiconductor substrate(11). A silicon oxide film as an insulation layer(13) is formed on the silicon substrate(11). A contact hole is formed in the silicon oxide film so that the silicon substrate is contacted with a wiring layer(15a). The wiring layer(15a) consists of the first conduction layer(15a-1), a barrier layer(15a-2) and the second conduction layer(15a-3) and has a sandwich shape.



Notice to File a Response

Applicant's Name: Infineon Technologies AG

Attorney's Name: Sang-sun NAM

Patent Appln. No.: 10-2000-7006296

Title of Invention: Barrier layer for copper metallizing

We hereby inform you of the following reason(s) for rejection pursuant to Article 63 of the Korean Patent Act. The applicant, if needed, may file an argument and an amendment no later than **April 25, 2003**.

R E A S O N (S)

Since the invention described in claims 1 and 24 of the present application could have been easily conceived by a person having ordinary skill in the art to which the present invention pertains from the document indicated below, which was published prior to the filing of the present application, this patent application cannot be patented according to Article 29(2) of the Korean Patent Act.

DETAILED GROUNDS

Claims 1, 2, 6 and 24 of the present invention could have been easily conceived by a person skilled in the art from Korean Patent Publication No. 1997-5355.

[*summarized]

[Attachment]

Korean Patent Publication No. 1997-53559 (published on July 31, 1997)

Date: February 25, 2003

Examiner: D. W. LIM

Examination Bureau IV

Korean Intellectual Property Office